

SEMICONDUCTOR DEVICE

Patent Number: JP5211288
Publication date: 1993-08-20
Inventor(s): SAKAMOTO MITSURU
Applicant(s): NEC CORP
Requested Patent: ☐ JP5211288
Application Number: JP19920013567 19920129
Priority Number(s):
IPC Classification: H01L27/04
EC Classification:
Equivalents: JP3120528B2

Abstract

PURPOSE: To provide a semiconductor device having a laminated type capacitor which makes a high quality and large capacitance value possible by suppressing the creation of the resultant crystal defect in the device process.

CONSTITUTION: A laminated type capacitor comprises a lower electrode 4 provided on a semiconductor substrate through an insulating film, a capacitance insulating film 5 which covers the sides and upper surface of the lower electrode, and a counter electrode 6 formed on it. In this capacitor, the lower electrode 4 or the counter electrode 6 is formed by a thin film of a polycrystalline silicon and germanium alloy.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-211288

(43) 公開日 平成5年(1993)8月20日

(51) Int.Cl.⁵

H 0 1 L 27/04

識別記号

庁内整理番号

C 8427-4M

F I

技術表示箇所

審査請求 未請求 請求項の数6(全 6 頁)

(21) 出願番号 特願平4-13567

(22) 出願日 平成4年(1992)1月29日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 坂本 充

東京都港区芝五丁目7番1号日本電気株式
会社内

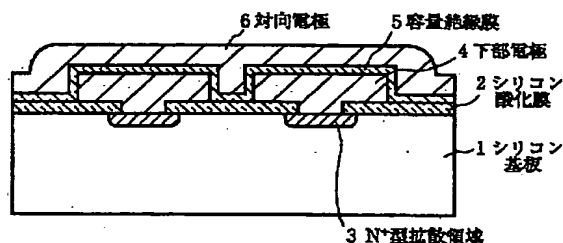
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 デバイス・プロセス誘起の結晶欠陥の発生を抑制し、高品質且つ大容量値を可能とする積層型のキャパシタを有する半導体装置を提供する。

【構成】 半導体基板上に絶縁膜を介して設けた下部電極4、この下部電極の側面及び上面を被覆する容量絶縁膜5、並びにこの上に形成された対向電極6により構成した積層型のキャパシタにおいて、下部電極4、或いは対向電極6を多結晶シリコン・ゲルマニウム合金薄膜で形成する。



【特許請求の範囲】

【請求項1】 半導体基板上に絶縁膜を介して設けられた下部電極と、この下部電極の側面及び上面を被覆する誘電体膜と、この誘電体膜上に形成された対向電極とを備えた半導体装置において、前記下部電極または前記対向電極が多結晶シリコン・ゲルマニウム合金膜で形成されていることを特徴とする半導体装置。

【請求項2】 下部電極が第1の多結晶シリコン・ゲルマニウム合金膜と、この第1の多結晶シリコン・ゲルマニウム合金膜の側面及び上面を被覆しこの第1の多結晶シリコン・ゲルマニウム合金膜に電気的に接続された第2の多結晶シリコン・ゲルマニウム合金膜とにより構成されている請求項1記載の半導体装置。

【請求項3】 第1の多結晶シリコン・ゲルマニウム合金膜には不純物が $10^{17} \sim 10^{19}$ 原子/cm³の濃度で導入されており、第2の多結晶シリコン・ゲルマニウム合金膜には不純物が $10^{20} \sim 10^{21}$ 原子/cm³の濃度で導入されている請求項2記載の半導体装置。

【請求項4】 第1の多結晶シリコン・ゲルマニウム合金膜(Si_{1-x}Ge_x)の組成は $x \leq 0.3$ であり、且つ第2の多結晶シリコン・ゲルマニウム合金膜(Si_{1-x}Ge_x)の組成は $x \geq 0.3$ である請求項2または請求項3記載の半導体装置。

【請求項5】 対向電極を構成する多結晶シリコン・ゲルマニウム合金膜(Si_{1-x}Ge_x)の組成は $x \geq 0.3$ である請求項1、請求項2、請求項3または請求項4記載の半導体装置。

【請求項6】 誘電体膜が金属酸化物である請求項1、請求項2、請求項3、請求項4または請求項5記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に関し、特に高集積化に好適な積層型の電荷蓄積容量(キャパシタ)を備えた半導体装置に関する。

【0002】

【従来の技術】 近年、シリコン半導体デバイスの高密度化及び高集積化は急速な進歩を遂げている。現在0.8 μ mの設計ルールで4MDRAM(Dynamic Random Access Memory)及び1MSRAM(Static Random Access Memory)等のVLSI(Very Large Scale Integrated Circuit)が商品化されている。又、0.5 μ m設計ルールで16MDRAM及び4MSRAMのようなULSI(Ultra Large Scale Integrated Circuit)が研究開発されており、更に実用化が検討されている。

【0003】 このような高密度及び大容量の半導体デバイスにおいては、平面上での素子の微細化と共に、縦方

向の有効活用、即ち素子の3次元化が必須になってくる。この場合、能動素子の3次元化に比べ、抵抗及びキャパシタ等の受動素子の3次元化の方が容易であり、現在、抵抗及びキャパシタを3次元化して形成した半導体デバイスが商品化されている。

【0004】 ところで、DRAMの高密度化にはキャパシタの3次元化が必要であり、現在1MDRAM及び4MDRAM等において、トレンチ構造型又はスタック構造型のキャパシタが実用化されている。しかし0.5乃至0.6 μ mの設計ルールによる16メガビットDRAM及びそれ以上に設計ルールが厳しい64メガビットDRAMの場合には、容量絶縁膜の誘電率の増大、容量電極構造の改良又は多層化が必要になってくるといわれている。

【0005】 このようなキャパシタとしてフィン構造のものがTエマ(Ema)等によりIEDMテクニカルダイジェスト(Technical Digest)592頁(1988年)に、またシリンドー構造のものがWワカミヤ(Wakamiya)等によりVLSIシンポジウム(Symposium)69頁(1989年)にそれぞれ報告されている。

【0006】 しかしながら、これ等のフィン構造及びシリンドー構造のキャパシタを備えた半導体装置を実用化するには、下部電極の構造が複雑であるため、容量絶縁膜及び対向電極を下部電極の表面上に均一に形成することが極めて困難となり未だ実用化の見通しは得られていない。

【0007】 これらスタック構造型のキャパシタの基本型を図7に示す。シリコン基板31の表面にシリコン酸化膜32が形成され、このシリコン酸化膜32に開口部37が選択的に設けられている。この開口部37のシリコン基板31の表面には、不純物が導入された拡散領域33が設けられている。そしてシリコン酸化膜32上には、開口部37を埋込んでポリシリコン膜34が所定のパターンで形成されている。このポリシリコン膜34には不純物が高濃度で導入されている。そしてこのポリシリコン膜37の表面を被覆して容量絶縁膜35が形成され、この容量絶縁膜35上には対向電極36が形成されている。ここで対向電極36は隣接したポリシリコン膜34間、すなわちキャパシタ間の溝38を埋込む必要がある。

【0008】 この半導体装置においては、ポリシリコン膜34が下部電極であり、この下部電極、容量絶縁膜35及び対向電極36によりキャパシタが構成されている。

【0009】

【発明が解決しようとする課題】 しかしながら上述した従来の半導体装置では、高密度化及び微細化に伴って以下に示す問題点が顕在化してきた。

【0010】 第1に、シリコンに比し共有結合半径の小

3

さいボロン、リン等の不純物原子の増加により、ポリシリコン膜34が大きな応力をおよぼすようになり、シリコン基板表面に結晶欠陥が発生し易くなる。

【0011】第2に、単位面積の容量値を増大させる高誘電率膜、例えばタンタルやチタン等の酸化物或いは PZT や $SrTiO_3$ 等の強誘電体膜と、ポリシリコン膜34との表面での反応が強いため、これ等の誘電体材料が使用できない。

【0012】第3に、スタック容量電極であるポリシリコン膜34と対向電極36の抵抗値の低減確保の難しさ及びスタック容量間に形成される容量間の溝38の微細化と高アスペクト比に伴う電極被覆性の低下である。

【0013】

【課題を解決するための手段】本発明の半導体装置は、半導体基板上に絶縁膜を介して設けられた下部電極と、この下部電極の側面及び上面を被覆する誘電体膜と、この誘電体膜上に形成された対向電極とを備えた半導体装置において、前記下部電極または対向電極を多結晶シリコン・ゲルマニウム合金膜で構成する。又この合金膜に導電性をもたせる目的でN型或いはP型不純物をドーピングする。

【0014】

【実施例】次に本発明の実施例について図面を参照して説明する。図1は本発明の第1の実施例に係るキャパシタを備えた半導体装置の断面図である。

【0015】図1において、P型のシリコン基板1の表面にはシリコン酸化膜2が比較的厚く形成されている。このシリコン酸化膜2には開口部が選択的に設けられており、この開口部の基板1の表面には、 N^+ 型拡散領域3が形成されている。又前記開口部を埋め込むと共に、シリコン酸化膜2上に所定のパターンで下部電極4が形成されている。この下部電極4は、多結晶シリコン・ゲルマニウム合金($Si_{1-x}Ge_x$)薄膜で構成されている。更にこの多結晶 $Si_{1-x}Ge_x$ 薄膜を導体にするために、リン等の不純物が導入されている。

【0016】次でこの下部電極4を被覆するようにタンタルやチタン等の酸化物または強誘電体膜からなる容量絶縁膜5を形成した後、タングステン等からなる対向電極6を形成し本第1の実施例の基本構造が完了する。

【0017】素子の高集積化、微細化と共に単位当りの容量値の増加が必要であるが、このためには、容量絶縁膜5の誘電率を増大させるか、または膜厚減少が効果的である。この場合、単位当りの容量値の増加と共に下部電極としての多結晶シリコン膜中の不純物量の増加が必要となる。例えば、不純物としてリンを導入する場合、 $10^{20} \sim 10^{21}$ 原子/cm³程度の濃度が必要となる。この時共有結合半径の小さい(約6%)多量のリンの混入による圧縮応力がシリコン基板1の表面に形成した N^+ 型拡散領域3に印加され、この領域に結晶欠陥が発生させ易くなる。

4

【0018】そこでこの応力を補償するために、CVD法により、共有結合半径の大きい(約4%：対比Si)Geをリン濃度の1.5倍になるようにした多結晶 $Si_{1-x}Ge_x$ 薄膜を形成する。この場合多結晶 $Si_{1-x}Ge_x$ 薄膜のx値は0.003~0.03となる。このようにして圧縮応力を大幅に低減することにより、結晶欠陥のない高品質のデバイスの実現が容易となる。

【0019】図2は本発明の第2の実施例に係るキャパシタを備えた半導体装置の断面図である。

10 【0020】P型のシリコン基板1の表面には、第1の実施例と同様に積層型のキャパシタを形成する。この場合、下部電極を2層構造でもって形成する。即ち、 N^+ 型拡散領域3に近い領域に第1の下部電極4Aを単結晶 $Si_{1-x}Ge_x$ 薄膜($x \leq 0.1$)で形成し、この第1の下部電極4Aを被覆する第2の下部電極4Bを多結晶 $Si_{1-x}Ge_x$ 薄膜($x > 0.2$)で形成する。

【0021】ここで下部電極を2層に分け、容量絶縁膜5に近い領域の第2の下部電極4Bをゲルマニウム量の多い多結晶 $Si_{1-x}Ge_x$ 薄膜で構成することで、タンタル、チタン等の誘電率の高い金属酸化物或いは強誘電体膜の使用が容易となる。これは、Geの混入量を増加させることで、Siと金属酸化物との熱反応を抑制できることによる。

【0022】従来のポリシリコン膜による下部電極の場合では、金属酸化物とSiとの反応が強く、熱工程で金属酸化物の絶縁性が劣化した。このような劣化は多結晶 $Si_{1-x}Ge_x$ 膜のx値 ≥ 0.3 、膜厚10nm以上でなくすることができる。

30 【0023】尚、これ等の下部電極にも第1の実施例と同様に、不純物をドーピングし導体化するが、この時、第1の下部電極4A中の不純物濃度を例えば $10^{16} \sim 10^{19}$ 原子/cm³と低くし、第2の下部電極4B中の不純物濃度を、例えば $10^{20} \sim 10^{21}$ 原子/cm³とするより効果的である。

【0024】図3は本発明の第3の実施例に係るキャパシタを備えた半導体装置の断面図である。

【0025】P型のシリコン基板1表面には、第2の実施例と同様に積層型のキャパシタを形成するが、第2の実施例との違いは、対向電極6Aにも多結晶 $Si_{1-x}Ge_x$ 薄膜を用いる点である。ここで対向電極6Aを構成する多結晶 $Si_{1-x}Ge_x$ 薄膜のx値は0.3以上にする。この理由について図4及び図5で説明する。

40 【0026】多結晶 $Si_{1-x}Ge_x$ 薄膜の比抵抗は、x値の増加と共に図4に示すように減少する。図4からわかるように、x値が0.2以上では効果は余り変らない。一般に対向電極6Aは大きなパターンで用いられ、その電気抵抗の低下が望まれる。このためx値を増加させることは有効なこととなる。又対向電極6Aを構成する多結晶 $Si_{1-x}Ge_x$ 薄膜のステップカバレッジの向上もデバイスの微細化と共に強く要求されるようにな

る。

【0027】図5は多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜のステップカバレッジのGe量依存性を示したものである。一般に不純物（例えばP）をドーピングした多結晶シリコン膜のステップカバレッジは悪いが、Geの量 $x \geq 0.3$ であれば、ほぼカバレッジは100%になる。デバイスの微細化と共に図3に示すキャパシタ間の溝7のアスペクト比の増加が起る。このためステップカバレッジのよい導体の薄膜で対向電極6Aを形成することが必須となるが、 x 値 ≥ 0.3 以上の多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜を用いることでこの問題も解決される。

【0028】本発明をDRAMの1トランジスタ・1キャパシタのセル部に適用する場合について図6を用いて説明する。

【0029】P型のシリコン基板11表面にチャネルストップ領域17、絶縁分離酸化膜12を形成する。次に絶縁膜を介してのゲート電極18と、ソース/ドレインとなる N^+ 型拡散領域13でもってMOSトランジスタを形成する。次に、例えば第1の実施例で述べた下部電極14、酸化タンタル膜からなる容量絶縁膜15、対向電極16を形成しスタック構造のキャパシタを作製する。あとは層間絶縁膜19、ビット線20を形成してDRAMの1トランジスタ・1キャパシタのセル部が完成する。

【0030】本発明のキーポイントである多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜の形成は、通常のLPCVD法を用い、 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 等のシラン系ガス及び GeH_4 、 GeF_4 等のガス、温度450～650℃下で行う。この薄膜は無定形で成長した後、熱処理で多結晶化してもよいし、初めから多結晶に成長させて形成してもよい。

【0031】又図2及び図3に示した第2の下部電極（4B）は、パターニングして形成した第1の下部電極4Aの表面に多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜を選択的に成長させる手法を用いる。この場合、第1の下部電極4Aの表面以外のシリコン酸化膜2の表面領域に多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 膜を形成させないように、成長時前述のガス以外に HCl ガスを混入して用いる。尚ドーピング用ガスやキャリアガスは、所望のものを用いる。

【0032】

【発明の効果】以上説明したように本発明は、キャパシタを構成する下部電極を多結晶シリコン・ゲルマニウム合金膜で形成することにより、シリコン基板にかかる応

力を大幅に低減できるため、熱応力に起因する結晶欠陥をなくすることができる。

【0033】又、多結晶シリコン・ゲルマニウム合金膜中のゲルマニウム量を増加させることで、シリコンと高い誘電率をもつ金属酸化物との反応を抑制することが可能となり、高い容量値を有するキャパシタが得られる。

【0034】更に、多結晶シリコン・ゲルマニウム合金膜を対向電極に用いることで、電極の抵抗を下げる事が可能となると共に、薄膜の凹凸部での被覆性を向上させることができるため、高品質のキャパシタを有する半導体装置が得られる。従って本発明は64メガビットDRAM以上の高集積化された半導体装置の製造に極めて有用である。

【図面の簡単な説明】

【図1】本発明の第1の実施例の断面図。

【図2】本発明の第2の実施例の断面図。

【図3】本発明の第3の実施例の断面図。

【図4】多結晶シリコン・ゲルマニウム合金膜のGe量と比抵抗との関連を示す図。

【図5】多結晶シリコン・ゲルマニウム合金膜のGe量とステップカバレッジとの関係を示す図。

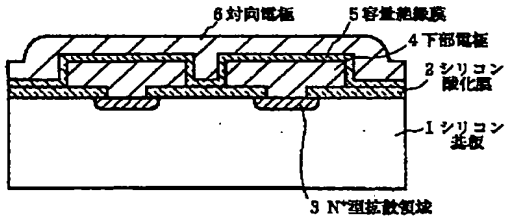
【図6】本発明の適用例であるDRAMセルの断面図。

【図7】従来の電荷蓄積容量を備えた半導体装置の一例の断面図。

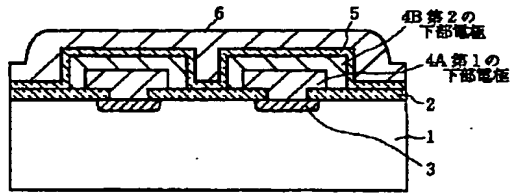
【符号の説明】

- 1, 11, 31 シリコン基板
- 2, 32 シリコン酸化膜
- 3, 13 N^+ 型拡散領域
- 4, 14 下部電極
- 4A 第1の下部電極
- 4B 第2の下部電極
- 5, 15, 35 容量絶縁膜
- 6, 6A, 16, 36 対向電極
- 7, 38 溝
- 12 絶縁分離酸化膜
- 17 チャネルストップ
- 18 ゲート電極
- 19 層間絶縁膜
- 20 ビット線
- 33 拡散領域
- 34 ポリシリコン膜
- 37 開口部

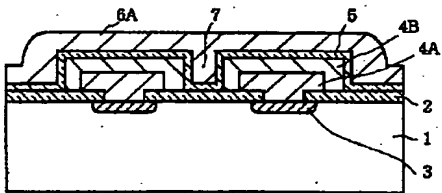
【図1】



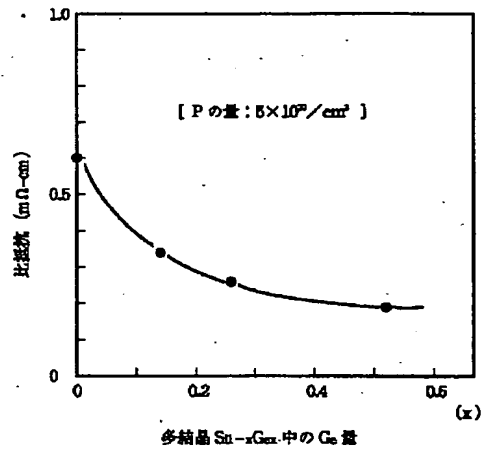
【図2】



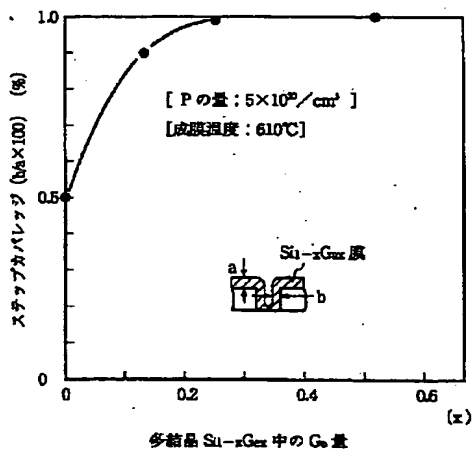
【図3】



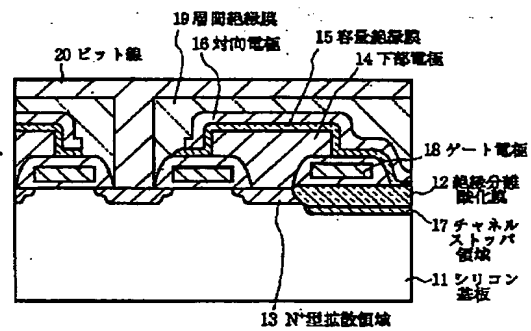
【図4】



【図5】



【図6】



特開平5-211288

Figure 1 is a cross-sectional view of a semiconductor device. The device is built on a silicon substrate (31). A silicon oxide layer (32) is formed on the substrate. A gate electrode (36) is formed on the oxide layer. A gate insulating film (35) is formed on the gate electrode. A polysilicon layer (34) is formed on the gate insulating film. A gate opening (37) is formed in the polysilicon layer. A diffusion region (33) is formed in the silicon substrate. A contact (38) is formed in the diffusion region.